

(34) NON-VOLATILE MEMORY DEVICE

(11) 53-215784 (A) (43) 15.12.1983 (19) JP

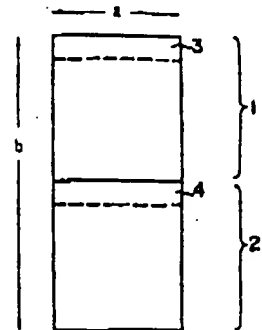
(21) Appl. No. 57-98307 (22) 8.6.1982

(71) TOKYO SHIBAURA DENKI K.K. (72) NORIYUKI TANAKA

(51) Int. Cl.³ G11C17/00, H01L27/10, H01L29/78

PURPOSE: To decrease the number of times of replacement of a memory and to improve the reliability, by splitting a non-volatile memory having a storage capacity of plural times of that of a system to each block and providing an exclusive location of the number of times of write for each unit block.

CONSTITUTION: A storage area of an EEPROM having a capacity ≥ 2 times the capacity requested to the system is splitted to blocks 1 and 2, and the direction of split is taken in the direction of word arrangement. Exclusive locations 3, 4 to store the number of times of program write to the corresponding memory are allocated to the blocks 1, 2 respectively, and the number of bits of each location corresponds to the limit value of the number of times of program write of the corresponding memory. When the number of times of program write of the block 1 reaches a specified value, the block is used switchingly. Whether or not the number of times of write reaches the specified value is discriminated with a count value stored to the locations 3, 4.



a: direction of bit, b: direction of word

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58-215794

⑪ Int. Cl.³

G 11 C 17/00

H 01 L 27/10

29/78

識別記号

1 0 1

庁内整理番号

6549-5B

6655-5F

7514-5F

⑬ 公開 昭和58年(1983)12月15日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 不揮発性メモリ装置

青梅市末広町二丁目 9 番地東京

芝浦電気株式会社青梅工場内

⑮ 特 願 昭57-98307

⑯ 出 願 人 東京芝浦電気株式会社

⑰ 出 願 昭57(1982)6月8日

川崎市幸区堀川町72番地

⑱ 発 明 者 田中宜幸

⑲ 代 理 人 弁理士 猪股清 外 3 名

明 細 書

1. 発明の名称 不揮発性メモリ装置

2. 特許請求の範囲

電気的にプログラム可能な不揮発性メモリ装置において、当該メモリ装置が用いられるシステムに必要な記憶容量を有する単位ブロックの記憶エリアを複数備え、一の単位ブロックが当該メモリ装置に規定されたプログラム荷込回数に達したとき他の単位ブロックに順次切換えるようにし、各単位ブロックには当該単位ブロックへのプログラム荷込回数を記憶する専用ロケーションが設けられていることを特徴とする不揮発性メモリ装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は不揮発性メモリ装置、特に電気的にプログラム可能な半導体不揮発性メモリ装置に関する。

(発明の技術的背景とその問題点)

半導体不揮発性メモリは MOS 形 P E T を利用して蓄積電荷の量により 2 値情報を記憶させるようにしたもので、電源電圧を印加しなくても記憶内容を保持できるという特徴を有する。

かかる不揮発性メモリには種々のものがあるが、今までのところ、いわゆる UV - E P R O M (Ultra Violet-Erasable & Programable ROM) が多く使用されている。この UV - E P R O M は記憶内容を消去するのに紫外線を照射して行うものであるが、書き込み、消去に際しては回路から取外さなければならないという不都合がある。

そこで最近脚光を浴びているのが E E P R O M (Electrically Erasable & Programable ROM) である。この E E P R O M は実装の状態で別途設けた書き込み、消去装置により自由に消去書き込みを行うことができるという長所を有しているため、記憶内容の変更が頻発するようなシステム、例えば金融記録機などには最適である。

一方、E E P R O M は通常のスタティック RAM

と組み合わせて構成される不揮発性RAMにも用いられる。この不揮発性RAMは同容量のスタティックRAMとEEPROMとで構成され、電源投入中において通常のRAMとして動作させ、電源のしや断直前にスタティックRAMに格納されている内容を一旦EEPROMへ移してそのまま保持しておき、電源の再投入後にEEPROM側から再びスタティックRAMへ戻すようにして不揮発性を確保するものである。

かかるEEPROMが有する問題点は、書き込みの際に高電圧を印加する必要があるため記憶内容の変更、すなわちプログラム回数が制限されることである。現在のところ、プログラム回数の限度は一般に1000~10000回程度であるとされている。使用に際してはこの制限回数を絶対に守らなければならない。限度を超えた場合の記憶内容はその信頼性において全く保証の限りではないからである。

ここで、EEPROMの動作原理ならびにプログラム回数が制限される理由について説明する。第

13の電位を0[V]に戻し、プログラム動作を終了する。この状態ではフローティングゲート12の電位は負の電位となつている。電子を捕獲しているからである。

次に、消去する場合（第1図(b)参照）について述べる。まず、このセルはすでにプログラムされ、フローティングゲート12には電子が捕獲されているものとする。第1電極11を0[V]に固定し、フローティングゲート12を0[V]とし、第2電極13に+Vの電圧を印加する。すると、フローティングゲート12と第2電極13との間に高電界が発生し、フローティングゲート12に捕獲されていた電子はトンネル効果によりSi絶縁層14を抜けて第2電極13へ追い出される。捕獲電子が存在しなくなった状態で消去動作は終了し、第2電極13を0[V]に戻す。

以上からわかるように、フローティングゲート12に電子が捕獲されて負の電位となつている状態がプログラム状態であり、その逆が消去状態である。これら2つの状態がメモリ外部での信号論理

1図は代表的なEEPROMの1セルについての断面図であり、(a)はプログラムの書込時の状態、(b)は消去時の状態をそれぞれ示している。第1図において、P形Si基板10上には第1層ポリシリコンの第1電極11、第2層ポリシリコンのフローティングゲート12、第3層ポリシリコンの第2電極（書込み、消去用）がSiO₂絶縁層14とともに設けられている。フローティングゲート12は第1電極11と第2電極13との間にフローティング（すなわち、浮遊）状態で配設されている。

プログラムする場合（第1図(a)参照）、第1電極11を0[V]又はアース電位に固定し、第2電極13に正の高電位+Vを印加する。このとき、フローティングゲート12の電位も第2電極13との静電結合により正の高電位+Vまで上昇する。すると、フローティングゲート12と第1電極11との間に高電界が発生し、トンネル効果により第1電極11からフローティングゲート12に向つて電子が移動し、その電子はフローティングゲート12に捕獲される。電子が十分に捕獲された状態で第2電極

1'、0'に対応する。ただし、プログラム状態が論理1'となるか、消去状態が0'となるかは一義的には定まらない。周辺回路との関係で決まるものだからである。

以上のEEPROMにおいて、プログラム回数が制限される原因はプログラムに際して第2電極13に高電圧を印加し、トンネル効果により第1電極11からフローティングゲート12に電子を移動させることにある。つまり、電子は第1電極11とフローティングゲート12間のSiO₂絶縁層を突破して移動するためにストレスが加わり、絶縁層が劣化してしまうからである。なお、既に消去状態にあるセルに消去動作を加えたり、既に書込状態にあるセルに書込動作を行つてもセルにはそれほどのストレスは加わらないので劣化の発生割合はきわめて少ない。

このようなEEPROMをプログラムの変更がひんぱんに行われるシステムに使用した場合に記憶内容を消失するおそれがあることは先に述べた通りである。従来ではシステムの使用期間等から通

当に判断し、しかるべき時期にEEPROMを交換するという対策を講じていた。しかし、このような使い方には信頼性という面で不安が残る、妥当なものではない。すなわち、システムがユーザに提供された後の部品の交換は好ましいことではなく、場合によっては交換が困難なこともありうる。また、交換に要する手間、費用も高価なものとなる。

〔発明の目的〕

そこで、本発明は不揮発性メモリの交換回数を極力減少し、信頼性を向上しうるメモリ装置を提供することを目的とする。

〔発明の概要〕

上記目的を達成するために、本発明によるメモリ装置は、当該メモリが用いられるシステムに必要とされる記憶容量の複数倍の記憶容量を有する不揮発性メモリを用意し、このメモリを前記必要記憶容量ごとのブロックに記憶エリアを分割し、一の単位ブロックが当該メモリに規定された所定のプログラム書き込回数に達したとき他の単位ブ

ックに順次切換えるようにし、プログラム書き込回数に達したことを知るために各単位ブロックに当該単位ブロックへのプログラム書き込回数を記憶する専用ロケーションが設けられている点に特徴を有する。

〔発明の効果〕

かかる構成を有する本発明によれば、プログラム書き込回数が限定回数に達するとともにメモリチップを交換する必要がなく、また各専用ロケーションにより限定回数を知ることができるので記憶内容を消失するようなことがなく信頼性を確保しうる。

〔発明の実施例〕

以下、本発明を図示する実施例に基づいて詳述する。

まず、前提として、最近の半導体メモリはEEPROMに限らず、1チップ当りの容量が急激に増加してきており、チップ当りの価格は量産レベルではチップ当りの記憶容量に比例するものではなく、小容量でも大容量でもチップ当りの単価はさ

ほど大きな差はない。したがって、システムに必要とされる容量よりも入手できるEEPROMの1チップ当りの容量がはるかに大きなことはよくあることである。そこで、このような余った容量を有効に利用することを最も可能としたものである。

第2図はシステムに要求される容量の2倍以上の容量を有するEEPROMを用いた場合の例である。記憶エリアは第1のブロック1と第2のブロック2とに分割されている。分割方向は図方向に2分割とする。したがって、単位ブロックである第1のブロック1、第2のブロック2はそれぞれシステムに要求される単位容量以上の容量を有している。

第1、第2のブロック1、2にはそれぞれ当該メモリに対するプログラム書き込回数を格納しておくための専用ロケーション3、4が割当てられている。専用ロケーション3、4のビット数は当該メモリのプログラム書き込回数の限度値に対応する数とし、対応するメモリセルを割当てて専用ロケーション3、4をそれぞれ構成する。

次に動作を説明する。まず、要約すれば、最初に第1のブロック1を用い、そのプログラム書き込回数が規定値に達すると、切換えて第2のブロック2を使用する。第2のブロック2のプログラム書き込回数が規定値に達すると、当該EEPROMは交換しなければならない。

プログラム書き込回数が規定値に達したか否かは専用ロケーション3、4に格納されたカウント値により知ることができる。すなわち、予め専用ロケーション3に初期値(例えば"0")をセットしておく。それ以後、第1ブロック1へのプログラムの書き込みが発生するごとに専用ロケーション2を演出してその格納値を1インクリメントし、その値を再び専用ロケーション3に格納する。次いで、専用ロケーション3以外の記憶エリアにプログラムを記憶する。なお、インクリメント動作を先にするか、書き込みを先にするかは設計上の問題である。

ところで、EEPROMは1組単位で消去、書き込み(つまり、内容変更)が可能で第1のタイプと、

消去は全語でしかできず書き込みのみ1語単位に可能な第2のタイプとがある。

第1のタイプのEEPROMの場合、例えば第1のブロック1の使用途中における未使用領域である第2のブロック2は1語単位で内容変更できるため全く劣化されない。したがって、例えば当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で5000回の合計10000回のプログラム変更が可能となる。

第2のタイプのEEPROMの場合、書き込み時においては1語単位で行われるため劣化は生じないが、消去時には全語（すなわち、第1、第2の両ブロック1、2同時に）行われるため、未使用領域である第2のブロック2も消去動作が行われるので厳密に言えば若干の劣化はありうる。しかし消去時の劣化は書き込み時の劣化に比べて著しく少ないものである。例えば、当該EEPROMに規定されるプログラム回数が5000回とすると、第1のブロック1で5000回、第2のブロック2で

は第1のブロック1での消去動作を考慮して4000回とすると、合計9000回のプログラム変更が可能となる。

第3図は通常のRAMとEEPROMとを組み合わせて構成した不揮発性RAMに本発明を適用した例を示すブロック図である。第3図において、5はRAMを示しており、第1のブロック6と第2のブロック7に分割されており、各ブロック6、7はEEPROMの第1ブロック、第2ブロック2にそれぞれ対応する記憶容量を有しているものとする。また各ブロック6、7にはそれぞれ専用ロケーション8、9が設けられている。RAM5は通常のシステム動作において、各種情報が書き込まれたり、読出されたりするもので、例えばシステムの電源OFF時にRAM5からその内容をEEPROM側へストアして保持する。

まず、第1のブロック6と1との関係で使用するものとする。専用ロケーション8には予め初期値（例えば`0`）にセットされる。いま、RAM5からその格納内容をEEPROM側へストアしよ

うとする場合、そのストアする直前にRAM5の専用ロケーション8を読み出す。読出された専用ロケーション8の内容を1インクリメントしたのち再度専用ロケーション8に書き込む。専用ロケーション8の更新されたら、RAM5の内容をEEPROMの第1ブロック1へそっくり書き込む。このとき、専用ロケーション8の内容も専用ロケーション3に書き込まれることはいうまでもない。

次に、再びRAM5を使用する場合には、EEPROMの格納内容をそっくりそのままRAM5側に書き込む（リコールという。）。

このようなプログラムの変更動作が規定回数に達すると、次に使用される領域が第1のブロック6、1の関係から7、2の關係に切換えられ、上述と同様の動作が行われる。

以上の不揮発性RAMについても、使用されるEEPROMが消去、書き込みに関して前述した第1のタイプ、第2のタイプの場合を考慮しなければならない。第1のタイプについては消去、書き込みが1語単位で行われるので未使用領域の劣化は生

じないから考えなくてよい。第2のタイプの場合、若干の劣化があるが、プログラム回数の限度値を少な目に設定すれば問題はない。最も問題となるのは、消去、書き込みのいずれも全語で行われるような場合である。そのような場合にはRAM5の未使用領域である第2のブロック6の全てに値`0`を書き込んでおき、ストア時にこの`0`を書き込むようにしておくことで劣化を抑制することができる。

〔発明の変形例〕

(1) 上述した各実施例ではプログラムの書き込み発生時に専用ロケーション3、4又は8、9の内容を順次1インクリメントすることで更新するものとしたが、予め初期値として当該EEPROMに保証される最大プログラム回数をプリセットしておき、プログラムの変更時にその内容を1デクリメントするようにしてもよい。そのようにした場合、当該EEPROMは残り何回プログラム変更が可能かを知ることができる。また規定プログラム回数に達した場合に何らかの表示（例えば、CRTデ

ディスプレイ、ランプに提示する等)を行なつて知らしめるようにしたり、情報の消失を積極的に防止するためにプログラムの変更を禁止するようにしてもよい。

(2) EEPROMは2分割するものとして説明したが、記憶すべき情報とEEPROM1チップ当りの容量との関係により、さらに3分割、4分割と複数に分割してもよい。その場合には上記した実施例の構成を分割数に応じて増加させればよい。

(3) また、EEPROMは1チップであるとの前提で説明したが、それぞれ独立したEEPROMを複数用い、各チップを本発明にいうブロックと対応させて構成してもよい。その場合には、消去、書き込みを単独にすることができるので、未使用領域の劣化を防止することが可能となる。

4. 図面の簡単な説明

第1図は一般的なEEPROMの1セルについての断面図で、(a)はプログラムの書き込み状態、(b)は消去状態を示す図。

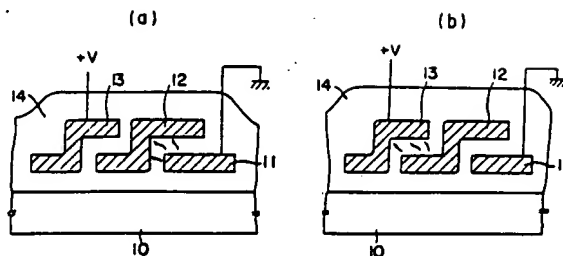
第2図は本発明によるメモリ装置の実施例を示すブロック図、

第3図は他の実施例を示すブロック図である。

1…第1のブロック、2…第2のブロック、
3…専用ロケーション、4…専用ロケーション、
5…RAM、6…第1のブロック、7…第2のブロック、8…専用ロケーション、9…専用ロケーション。

出願人代理人 猪 股 清

第 1 図



第 2 図

第 3 図

